

Attorney Docket No. 5649-1144

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Koh et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING SEMICONDUCTOR DEVICES USING AN ETCH
STOP LAYER**

Date: July 23, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

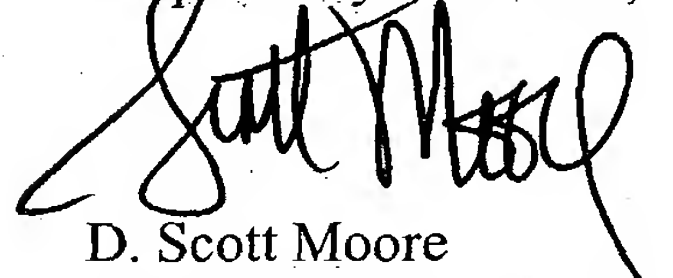
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0066087, filed October 29, 2002.

Respectfully submitted,


D. Scott Moore
Registration No. 42,011

Correspondence Address:

CUSTOMER NO. 20792

Telephone: 919/854-1400


Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353592285US

Date of Deposit: July 23, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0066087
Application Number

출원 년 월 일 : 2002년 10월 29일
Date of Application OCT 29, 2002

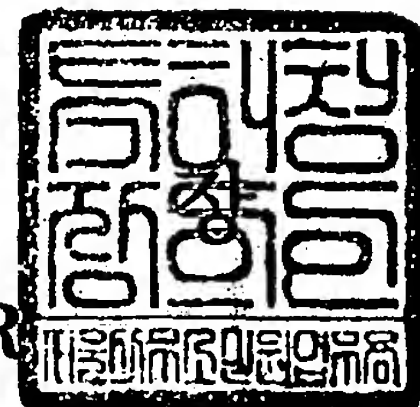
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.29
【발명의 명칭】	반도체 소자의 형성방법
【발명의 영문명칭】	Method of forming semiconductor devices
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김한수
【성명의 영문표기】	KIM,HAN SOO
【주민등록번호】	640705-1462410
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1046-1 삼성래미안아파트 433동 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽근호
【성명의 영문표기】	KWAK,KUN HO
【주민등록번호】	731022-1352011
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 서천리 322-8번지 진성원룸 207호
【국적】	KR

【발명자】

【성명의 국문표기】

황병준

【성명의 영문표기】

HWANG,BYUNG JUN

【주민등록번호】

740501-1042013

【우편번호】

435-050

【주소】

경기도 군포시 금정동 850 목화아파트 137-801호

【국적】

KR

【발명자】

【성명의 국문표기】

고광옥

【성명의 영문표기】

KOH,KWANG OK

【주민등록번호】

620723-1932523

【우편번호】

463-050

【주소】

경기도 성남시 분당구 서현동 92 현대아파트 423-401

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

16 면 16,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

21 항 781,000 원

【합계】

826,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 형성방법을 제공한다. 이 방법은 반도체기판 상에 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계를 구비한다. 게이트 패턴 양측의 반도체기판에 저농도 불순물확산층을 형성하고, 게이트 패턴 측벽에 스페이서를 형성한다. 게이트 패턴 및 스페이서를 마스크로 사용하여 불순물이온들을 주입하여 반도체기판에 고농도 불순물확산층을 형성한다. 스페이서를 식각하여 제거하고, 게이트 패턴을 포함한 반도체기판 전면에서 콘포말한 식각저지막을 형성한다. 이때, 식각저지막의 두께는 적어도 상기 스페이서 하부면의 폭으로 형성한다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

반도체 소자의 형성방법 {Method of forming semiconductor devices}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 3 내지 도 6은 본 발명의 일실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 7 및 도 8은 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도이다.

도 9 내지 도 12는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체소자의 형성방법에 관한 것이다.

<6> 반도체 소자 중 모스 트랜지스터는 반도체기판 상에 형성된 게이트 패턴 및 게이트 패턴 양측의 반도체기판에 형성된 소오스/드레인 영역으로 구성된다. 일반적으로, 소오스/드레인 영역은 핫 캐리어 효과를 억제하여 고집적화에 유리한 엘디디(LDD; Lightly Doped Drain) 구조를 갖는다. 통상, 소오스/드레인 영역은 층간절연막에 형성된 콘택홀을 채우는 상부도전층과 전기적으로 접속한다.

- <7> 한편, 반도체 소자의 고집적화 경향에 따라, 소오스/드레인 영역의 면적 및 콘택홀의 면적이 감소하고 있다. 이에 따라, 최근에, 고집적 반도체 소자의 제조에 적합한 자기정렬 콘택기술 및 무경계 콘택 기술이 제안된 바 있다.
- <8> 도 1 및 도 2는 종래의 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.
- <9> 도 1을 참조하면, 반도체기판(1)에 소자분리막(미도시함)을 형성하여 활성영역을 한정하고, 상기 활성영역 상을 나란히 가로지르는 게이트 패턴들(5)을 형성한다. 상기 게이트 패턴(5)은 차례로 적층된 게이트 절연막(2), 게이트 전극(3) 및 하드마스크막(4)으로 구성된다. 상기 게이트 절연막(2)은 열산화막으로 형성하고, 상기 게이트 전극(3)은 차례로 적층된 도핑된 폴리실리콘막 및 텅스텐실리사이드막으로 형성한다. 상기 하드마스크막(4)은 실리콘질화막으로 형성한다. 상기 게이트 패턴(5)을 마스크로 사용하여 불순물이온들을 주입하여 상기 게이트 패턴(5) 양측의 활성영역에 저농도 불순물확산층(7a)을 형성하고, 상기 게이트 패턴(5) 양측벽에 스페이서(8)를 형성한다. 상기 스페이서(8)는 실리콘질화막으로 형성한다. 상기 게이트 패턴(5) 및 상기 스페이서(8)를 마스크로 사용하여 불순물이온들을 주입하여 상기 활성영역에 고농도 불순물확산층(7b)을 형성한다. 상기 저농도 및 고농도 불순물확산층들(7a, 7b)은 엘디디구조로 형성된다. 상기 고농도 불순물확산층(7b)을 갖는 반도체기판(1) 전면에 콘포말한 식각저지막(9)을 형성하고, 상기 식각저지막(9) 상에 상기 게이트 패턴들(5) 사이의 갭영역을 채우는

층간절연막(10)을 형성한다. 상기 식각저지막(9)은 활성영역 및 소자분리막(미도시함)을 동시에 노출시키는 무경계 콘택홀을 형성하기 위한 것이다. 즉, 상기 식각저지막(9)으로 인하여 무경계 콘택홀 형성시, 노출된 소자분리막이 보호된다. 이때, 상기 식각저지막(9)으로 인하여, 상기 게이트 패턴들(5) 사이의 갭영역의 바닥면적이 감소한다. 그 결과, 상기 층간절연막(10)을 형성할시, 상기 갭영역 내에 보이드(c)가 발생할 수 있다.

<10> 상기 식각저지막(9)은 실리콘질화막으로 형성하고, 상기 층간절연막(10)은 실리콘산화막으로 형성한다.

<11> 도 2를 참조하면, 상기 층간절연막(10) 상에 콘택홀(11)을 정의하는 감광막 패턴(미도시함)을 형성하고, 상기 감광막 패턴(미도시함)을 마스크로 사용하여 상기 층간절연막(10)을 상기 식각저지막(9)이 노출될때까지 식각한다. 상기 노출된 식각저지막(9)은 상기 고농도 불순물확산층(7b) 및 상기 스페이서(8) 상에 위치한다. 상기 노출된 식각저지막(9)을 제거하여 상기 고농도 불순물확산층(7b)을 노출시키는 콘택홀(11)을 형성한다. 이때, 상기 콘택홀(11)은 상기 하드마스크막(4) 및 상기 스페이서(8)에 자기정렬되는 자기정렬 콘택홀이다. 또한, 상기 콘택홀(11)은 상기 소자분리막(미도시함)의 소정영역을 노출시키는 무경계 콘택홀이다. 상기 콘택홀(11)을 채우는 도전막 패턴(12)을 형성한다.

<12> 상술한 종래기술에 있어서, 상기 식각저지막(9) 및 상기 스페이서(8)는 동일한 절연막으로 형성된다. 이로 인하여, 상기 콘택홀(11)을 형성하기 위하여 상기 노출된 식각저지막(9)을 제거할시, 과도식각 및 상기 스페이서(8)의 곡면 측벽에 기인하여 상기 스페이서(8) 하부면의 폭이 감소할 수 있다. 그 결과, 상기 저농도 불순물확산층(7a)의 소정영역이 노출(d)될 수 있다.

<13> 한편, 상기 저농도 불순물확산층(7a)은 상기 고농도 불순물확산층(7b)에 비하여 정션 깊이(junction depth)가 얇다. 이로 인하여, 상기 도전막 패턴(12)에 전원이 공급될 때, 상기 노출된 저농도 불순물확산층(d)을 통하여 상기 반도체기판(1)으로 누설전류가 발생할 수 있다. 즉, 누설전류 특성이 열화될 수 있다. 상기 노출된 저농도 불순물확산층(d)이 상기 과도식각으로 인하여 식각손상을 입을 경우, 상기 누설전류 특성의 열화는 심화될 수 있다.

<14> 특히, 상술한 누설전류 특성의 열화현상은 상기 콘택홀(11)이 버팅 콘택홀(미도시함)로 형성될 때, 더욱 심화될 수 있다. 상기 버팅 콘택홀이란 게이트 패턴 내의 게이트 전극의 일부분 및 불순물확산층을 동시에 노출시키는 콘택홀을 말한다. 이때에는, 상기 게이트 패턴(5) 내의 상기 하드마스크막(3)도 식각되어야 함으로써, 상기 스페이서(8)의 식각이 더욱 가중될 수 있다. 이로 인하여, 상술한 누설전류 현상은 더욱 심화될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 게이트 패턴들 사이의 갭영역 내에 보이드가 발생하는 현상을 억제할 수 반도체 소자의 형성방법을 제공하는 데 있다.

<16> 본 발명이 이루고자 하는 다른 기술적 과제는 스페이서 하부면의 감소로 인하여 노출된 저농도 불순물확산층을 통한 누설전류 특성의 열화 현상을 최소화할 수 있는 반도체소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <17> 상술한 기술적 과제를 해결하기 위한 반도체 소자의 형성방법을 제공한다. 이 방법은 반도체기판 상에 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계를 포함한다. 상기 게이트 패턴 양측의 상기 반도체기판에 저농도 불순물확산층을 형성하고, 상기 게이트 패턴 측벽에 스페이서를 형성한다. 상기 게이트 패턴 및 상기 스페이서를 마스크로 사용하여 불순물이온들을 주입하여 상기 반도체기판에 고농도 불순물확산층을 형성한다. 상기 스페이서를 식각하여 제거하고, 상기 게이트 패턴을 포함한 반도체기판 전면에서 콘포말한 식각저지막을 형성한다. 이때, 상기 식각저지막의 두께는 적어도 상기 스페이서 하부면의 폭으로 형성한다.
- <18> 구체적으로, 상기 스페이서를 형성하기 전에, 상기 게이트 패턴을 포함한 반도체기판 전면에서 콘포말한 식각보호막을 형성하는 것이 바람직하다. 이때, 상기 식각보호막은 상기 스페이서에 대하여 식각선택비를 갖는 절연막으로 형성하고, 상기 스페이서는 상기 게이트 패턴 측벽에 대하여 상기 식각보호막 상에 형성하는 것이 바람직하다. 상기 식각저지막의 두께는 상기 스페이서 하부면의 폭과 동일하게 형성하는 것이 바람직하다. 상기 식각저지막을 형성한 후에, 상기 식각저지막 상에 층간절연막을 형성하고, 상기 층간절연막 및 상기 식각저지막을 연속적으로 패터닝하여 적어도 상기 고농도 불순물확산층을 노출시키는 콘택홀을 형성한다. 상기 콘택홀을 채우는 도전막을 형성하는 단계를 더 포함할 수 있다. 이때, 상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 상기 콘택홀은 상기 게이트 패턴에 포함된 상기 게이트 전극의 일부분을 더 노출시킬 수 있다.

<19> 본 발명에 따른 반도체 소자의 형성방법은 제1 게이트 패턴 일측의 고농도 불순물 확산층 및 제2 게이트 패턴내의 게이트 전극의 일부분을 동시에 노출시키는 콘택홀이 요구되는 반도체 소자에 적용될 수 있다. 이 방법은 반도체기판에 소자분리막을 형성하여 제1 및 제2 활성영역들을 한정하는 단계를 포함한다. 상기 제1 활성영역 상에 적층된 제1 게이트 절연막, 제1 게이트 전극 및 제1 하드마스크막으로 구성된 제1 게이트 패턴을 형성하고, 상기 제2 활성영역 상에 적층된 제2 게이트 절연막, 제2 게이트 전극 및 제2 하드마스크막으로 구성된 제2 게이트 패턴을 형성한다. 상기 제1 게이트 패턴 양측의 상기 제1 활성영역에 저농도 불순물확산층을 형성하고, 상기 제1 및 제2 게이트 패턴들 측벽에 스페이서를 형성한다. 상기 제1 게이트 패턴 및 상기 제1 게이트 패턴 측벽의 스페이서를 마스크로 사용하여 상기 제1 활성영역에 고농도 불순물확산층을 형성하고, 상기 스페이서를 식각하여 제거한다. 상기 제1 및 제2 게이트 패턴들을 포함한 반도체기판 전면에 콘포말한 식각저지막을 형성한다. 이때, 상기 제2 게이트 패턴은 상기 소자분리막 상을 가로질러 상기 제1 활성영역에 인접하도록 형성하고, 상기 식각저지막의 두께는 적어도 상기 스페이서 하부면의 폭으로 형성한다.

<20> 구체적으로, 상기 스페이서를 형성하기 전에, 상기 제1 및 제2 게이트 패턴들을 포함한 반도체기판 전면에 콘포말한 식각보호막을 형성하는 단계를 더 포함하는 것이 바람직하다. 이때, 상기 식각보호막은 상기 스페이서에 대하여 식각선택비를 갖는 절연막으로 형성하고, 상기 스페이서는 상기 제1 및 제2 게이트 패턴들 측벽에 대향하여 상기 식각보호막 상에 형성하는 것이 바람직하다. 상기 식각저지막의 두께는 상기 스페이서 하부면의 폭과 동일하게 형성하는 것이 바람직하다. 상기 식각저지막을 형성한 후에, 상기 식각저지막 상에 층간절연막을 형성하는 단계를 더 포함할 수 있다. 상기 층간절연막

및 상기 식각저지막을 연속적으로 패터닝하여 상기 고농도 불순물확산층의 소정영역 및 상기 제2 게이트 전극의 일부분을 동시에 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 채우는 도전막을 형성하는 것이 바람직하다. 상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<22> 실시예 1)

<23> 도 3 내지 도 6은 본 발명의 일실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<24> 도 3을 참조하면, 반도체기판(101)에 소자분리막(미도시함)을 형성하여 활성

영역을 한정한다. 상기 활성영역 상을 나란히 가로지르는 게이트 패턴들(105)을 형성한다. 상기 게이트 패턴(105)은 차례로 적층된 게이트 절연막(102), 게이트 전극(103) 및 하드마스크막(104)으로 구성된다. 상기 게이트 절연막(102)은 열산화막으로 형성할 수 있다. 상기 게이트 전극(103)은 도핑된 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다. 상기 폴리사이드막은 차례로 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 하드마스크막(104)은 실리콘질화막으로 형성할 수 있다.

<25> 상기 게이트 패턴(105)을 마스크로 사용하여 불순물이온들을 주입하여 상기 게이트 패턴(105) 양측의 활성영역에 저농도 불순물확산층(107a)을 형성한다. 상기 저농도 불순물확산층(107a)을 갖는 반도체기판(101) 전면에서 콘포말한 버퍼절연막(108) 및 식각보호막(109; etch shield layer)을 차례로 형성하는 것이 바람직하다. 상기 식각보호막(109) 상에 상기 게이트 패턴(105) 측벽에 대향하여 스페이서(110)를 형성한다. 상기 식각보호막(109)은 상기 스페이서(110)에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 상기 스페이서(110)가 실리콘산화막으로 형성될 경우, 상기 식각보호막(109)은 실리콘질화막으로 형성하는 것이 바람직하다. 상기 버퍼절연막(108)은 상기 식각보호막(109) 및 상기 반도체기판(101) 사이의 스트레스를 완충하는 역할을 한다. 상기 버퍼절연막(108)은 실리콘산화막으로 형성할 수 있다. 상기 버퍼절연막(108)은 생략될 수 있다.

<26> 상기 게이트 패턴(105) 및 상기 스페이서(110)를 마스크로 사용하여 불순물이온들을 주입하여 상기 활성영역에 고농도 불순물확산층(107b)을 형성한다. 상기 고농도 불순물확산층(107b)은 상기 저농도 불순물확산층(107a)에 비하여 높은 농도를 갖는다. 상기 저농도 및 고농도 불순물확산층들(107a, 107b)은 엘디디구조(LDD structure; Lightly

Doped Drain structure)로 형성하는 것이 바람직하다. 상기 저농도 및 고농도 불순물확산층들(107a, 107b)은 소오스/드레인 영역에 해당한다. 이때, 상기 저농도 불순물확산층(107a)의 폭(e)은 상기 게이트 패턴(105) 측벽상에 형성된 상기 버퍼절연막(108) 및 상기 식각보호막(109)의 두께와 상기 스페이서(110) 하부면의 폭(f)을 합한 값과 동일하다. 다시 말해서, 상기 버퍼절연막(108) 및 상기 식각저지막(109)으로 인하여, 상기 스페이서(110) 하부면의 폭(f)은 종래의 스페이서 하부면의 폭에 비하여 작도록 형성된다.

<27> 도 4를 참조하면, 상기 고농도 불순물확산층(107b)을 갖는 반도체기판(101)으로부터 상기 스페이서(110)를 식각하여 제거한다. 이때, 상기 스페이서(110) 및 상기 소자분리막(미도시함)이 실리콘산화막으로 형성될 경우, 상기 소자분리막은 상기 식각보호막(109)에 의하여 보호된다.

<28> 상기 스페이서(110)가 제거된 상기 식각보호막(109) 상에 콘포말한 식각저지막(111)을 형성한다. 상기 식각저지막(111)의 두께(g)는 적어도 상기 스페이서(110) 하부면의 폭(f)으로 형성한다. 바람직하게는, 상기 식각저지막(111)의 두께(g)는 상기 스페이서(110) 하부면의 폭(f)과 동일하게 형성한다.

<29> 상기 식각저지막(111) 상에 상기 게이트 패턴들(105) 사이의 갭영역(h)을 채우는 층간절연막(112)을 형성한다. 이때, 상기 갭영역(h)의 하부면 폭은 종래의 게이트 패턴들 사이의 갭영역에 비하여 넓다. 다시 말해서, 상기 게이트 패턴(105)

측벽에 형성된 상기 버퍼절연막(108), 상기 식각보호막(109) 및 상기 식각저지막(111)의 두께의 합은 상기 저농도 불순물확산층(107a)의 폭(e)과 동일하다. 이로 인하여, 상기 갭영역(h)의 하부면 폭은 종래의 그것에 비하여 종래의 식각저지막 두께의 두배만큼 넓어진다. 이로 인하여, 종래의 게이트 패턴들 사이의 갭영역 내에 보이드가 발생하는 현상을 억제 할 수 있다.

<30> 상기 식각저지막(111)은 상기 층간절연막(112)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 상기 층간절연막(112)이 실리콘산화막으로 형성될 경우, 상기 식각저지막(111)은 실리콘질화막으로 형성하는 것이 바람직하다.

<31> 도 5 및 도 6을 참조하면, 상기 층간절연막(112)을 패터닝하여 적어도 상기 갭영역(h) 내의 상기 식각저지막(111)이 노출시키는 예비 콘택홀(113)을 형성한다. 상기 예비 콘택홀(113) 내에 노출된 상기 식각저지막(111), 상기 식각보호막(109) 및 상기 버퍼절연막(108)을 이방성 식각으로 연속적으로 식각하여 상기 고농도 불순물확산층(107b)을 노출시키는 콘택홀(113a)을 형성한다. 상기 콘택홀(113a)을 채우는 도전막 패턴(114)을 형성한다. 상기 콘택홀 형성시, 상기 게이트 패턴(105) 측벽의 상기 막들(108,109,111)은 콘포말한 상태이다. 그 결과, 상기 저농도 불순물확산층(107a) 상의 상기 막들(108,109,111)의 수직 두께는 상기 고농도 불순물확산층(107b) 상의 상기 막들(108,109,111)의 두께 보다 크다. 즉, 상기 저농도 불순물확산층(107a) 상의 상기 막들(108,109,111)의 수직 두께는 상기 반도체기판(101)의 표면으로 부터 상기 게이트 패턴(105) 상부면의 높이와 상기 막들(108,109,111)의 두께를 합한 값이다.

<32> 이로 인하여, 상기 고농도 불순물확산층(107b) 상의 상기 막들(108,109,111)을 과도 식각할지라도, 상기 저농도 불순물확산층(107a)의 가장자리(k)는 보호된다. 결과적으로

로, 상기 저농도 불순물확산층(107a)이 보호됨으로써, 종래의 저농도 불순물확산층이 노출되어 발생하던 누설전류 특성의 열화를 최소화할 수 있다.

<33> 실시예 2)

<34> 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법은 상술한 실시예 1과 유사하다. 다른 점은 상술한 실시예 1과 다른 형태의 콘택홀, 즉, 버핑 콘택홀을 형성한다.

버핑 콘택홀이란 소오스/드레인 영역 및 소오스/드레인 영역에 인접한 게이트 패턴에 포함된 게이트 전극을 동시에 노출시킨다. 버핑 콘택홀은 한개의 트랜지스터의 게이트 전극 및 소오스/드레인 영역에 동시에 입력신호를 인가해야 하는 회로에 적용될 수 있다. 본 발명의 다른 실시예에서, 식각저지막 및 층간절연막을 형성하는 과정은 상술한 일 실시예와 동일함으로, 중복을 피하기 위하여 생략한다.

<35> 도 7 및 도 8은 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도이다.

<36> 도 7 및 도 8을 참조하면, 층간절연막(112)을 패터닝하여 식각저지막(111)의 소정 영역을 노출시키는 예비 버핑콘택홀(120)을 형성한다. 상기 노출된 식각저지막(111)은 상기 게이트 패턴(105) 상부면의 소정영역 및 상기 게이트 패턴(105)에 인접한 상기 저농도 및 고농도 불순물확산층들(107a, 107b) 상에 위치한다.

<37> 상기 노출된 식각저지막(111), 식각보호막(109), 버퍼절연막(108) 및 상기 게이트 패턴(105) 내의 하드마스크막(104)을 이방성식각으로 연속적으로 식각하여 상기 게이트 패턴(105)에 포함된 게이트 전극(103)의 일부분 및 상기 고농도 불순물확산층(107b)을 동시에 노출시키는 버핑 콘택홀(120a)을 형성한다. 이때, 상기 게이트 패턴(105) 측벽에

형성된 막들(108,109,111)은 콘포말한 상태이다. 그 결과, 저농도 불순물확산층(107a) 상에 위치한 상기 막들(108,109,111)의 수직 두께는 상기 게이트 전극(103) 상에 위치한 막들(104,108,109,111)의 두께에 비하여 크다.

<38> 이로 인하여, 상기 버팅콘택홀(120a) 형성을 위한 식각공정시, 과도식각을 할지라도, 상기 저농도 불순물확산층(107a)은 보호될 수 있다. 결과적으로, 종래의 저농도 불순물확산층이 노출되어 발생하던 누설전류 특성의 열화를 최소화할 수 있다.

<39> 상기 버팅콘택홀(120a) 내부를 채우는 도전막 패턴(121)을 형성한다.

<40> 실시예 3)

<41> 본 발명에 따른 또 다른 실시예에서는, 다른 형태의 버팅콘택홀이 적용된 반도체 소자의 형성방법을 보여준다. 이 버팅콘택홀은 트랜지스터 내의 소오스/드레인 영역과 인접한 다른 트랜지스터 내의 게이트 전극을 동시에 노출시킨다. 이 버팅콘택홀은 반도체 기억소자 중 에스램 기억소자의 단위 셀에 사용될 수 있다.

<42> 도 9 내지 도 12는 본 발명의 또 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도이다.

<43> 도 9를 참조하면, 반도체기판(200)에 소자분리막(201)을 형성하여 제1 및 제2 활성영역들(151,152)을 한정한다. 상기 소자분리막(201)은 트렌치 소자분리막으로 형성할 수 있다. 상기 제1 및 제2 활성영역들(151,152) 상에 각각 제1 게이트 패턴(205a) 및 제2 게이트 패턴(205b)을 형성한다. 이때, 상기 제2 게이트 패턴(205b)은 상기 소자분리막(201) 상을 가로질러 상기 제1 활성영역(151)과 인접하도록 형성한다. 상기 제2 게이트 패턴(205b)은 상기 제1 활성영역(151)의 소정영역과 중첩(overlap) 될 수 있다. 도 9에

서, 상기 제1 게이트 패턴(205a)은 채널 길이(channel length)를 따라 취해진 단면도이며, 상기 제2 게이트 패턴(205b)은 채널 폭(channel width)을 따라 취해진 단면도이다. 이와는 다르게, 상기 제1 및 제2 게이트 패턴들(205a, 205b)은 서로 다른 단면선 상에 위치할 수 있다. 상기 제1 게이트 패턴(205a)은 차례로 적층된 제1 게이트 절연막(202a), 제1 게이트 전극(203a) 및 제1 하드마스크막(204a)으로 구성되고, 상기 제2 게이트 패턴(205b)은 차례로 적층된 제2 게이트 절연막(202b), 제2 게이트 전극(203b) 및 제2 하드마스크막(204b)으로 구성된다. 상기 제1 및 제2 게이트 절연막(202a, 202b)은 열산화막으로 형성할 수 있다. 상기 제1 및 제2 게이트 전극(203a, 203b)은 도핑된 폴리실리콘막 또는 폴리사이드막으로 형성할 수 있다. 상기 폴리사이드막은 차례로 적층된 도핑된 폴리실리콘막 및 금속실리사이드막으로 구성된다. 상기 제1 및 제2 하드마스크막(204a, 204b)은 실리콘질화막으로 형성할 수 있다.

<44> 상기 제1 및 제2 게이트 패턴들(205a, 205b)을 마스크로 사용하여 불순물이온들을 주입하여 상기 제1 및 제2 게이트 패턴들(205a, 205b) 양측의 상기 제1 및 제2 활성영역들(151, 152)에 각각 제1 저농도 불순물확산층(207a) 및 제2 저농도 불순물확산층(미도시함)을 형성한다. 상기 제1 저농도 불순물확산층(207a) 및 상기 제2 저농도 불순물확산층(미도시함)을 갖는 반도체기판(200) 전면에는 콘포말한 버퍼절연막(208) 및 식각보호막(209)을 차례로 형성하는 것이 바람직하다. 상기 식각보호막(209) 상에 상기 제1 및 제2 게이트 패턴들(205a, 205b) 측벽들에 각각 대향된 스페이서(210)를 형성한다. 상기 식각보호막(209)은 상기 스페이서(210)에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 상기 스페이서(210)를 실리콘산화막으로 형성할 경우, 상기 식각보호막(209)은 실리콘질화막으로 형성하는 것이 바람직하다. 상기 버퍼절연막(208)은

상기 식각보호막(209) 및 상기 반도체기판(200)의 스트레스를 완화하는 역할을 한다. 상기 버퍼절연막(208)은 실리콘산화막으로 형성할 수 있다. 상기 버퍼절연막(208)은 생략될 수 있다.

<45> 상기 제1 및 제2 게이트 패턴들(205a, 205b) 및 상기 스페이서(210)를 마스크로 사용하여 불순물이온들을 주입하여 상기 제1 및 제2 활성영역들(151, 152)에 각각 제1 고농도 불순물확산층(207b) 및 제2 고농도 불순물확산층(미도시함)을 형성한다. 상기 제1 고농도 불순물확산층(207b)은 상기 제1 저농도 불순물확산층(207a)에 비하여 높은 농도를 갖는다. 상기 제1 저농도 및 제1 고농도 불순물확산층들(207a, 207b)은 엘디디구조(LDD structure; Lightly Doped Drain structure)로 형성한다. 또한, 상기 제2 저농도 및 제2 고농도 불순물확산층들(미도시함)도 엘디디 구조로 형성한다.

<46> 이와는 달리, 상기 제1 저농도 및 제1 고농도 불순물확산층들(207a, 207b)과 상기 제2 저농도 및 제2 고농도 불순물확산층들(미도시함)은 순차적으로 형성될 수 있다. 즉, 상기 제2 저농도 및 제2 고농도 불순물확산층들(미도시함)은 상기 제1 저농도 및 제1 고농도 불순물확산층들(207a, 207b)에 대하여 다른 타입의 불순물들로 형성될 수 있다. 예를 들면, 상기 제1 저농도 및 제1 고농도 불순물확산층들(207a, 207b)이 n-type의 불순물들로 형성하고, 상기 제2 저농도 및 제2 고농도 불순물확산층들(미도시함)은 p-type의 불순물들로 형성한다. 이와는 반대로, 상기 제1 저농도 및 제1 고농도 불순물확산층들(207a, 207b)이 p-type의 불순물들로 형성하고, 상기 제2 저농도 및 제2 고농도 불순물확산층들(미도시함)은 n-type의 불순물들로 형성한다.

<47> 도 10을 참조하면, 상기 스페이서(210)를 식각하여 제거한다. 상기 스페이서(210)가 제거된 상기 식각보호막(209) 상에 콘포말한 식각저지막(211)을 형성한다. 상기 식각

저지막(211)의 두께는 적어도 상기 스페이서(210) 하부면의 폭으로 형성한다. 바람직하게는, 상기 식각저지막(211)의 두께는 상기 스페이서(210) 하부면의 폭과 동일하게 형성한다.

<48> 상기 식각저지막(211) 상에 층간절연막(212)을 형성한다. 상기 식각저지막(211)은 상기 층간절연막(212)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 상기 층간절연막(212)이 실리콘산화막으로 형성할 경우, 상기 식각저지막(211)은 실리콘질화막으로 형성하는 것이 바람직하다.

<49> 도 11 및 도 12를 참조하면, 상기 층간절연막(212)을 패터닝하여 상기 식각저지막(211)의 소정영역을 노출시키는 예비 버티콘택홀(213)을 형성한다. 상기 노출된 식각저지막(211)은 상기 제1 고농도 불순물확산층(207b), 상기 제1 저농도 불순물확산층(207a) 및 상기 제1 활성영역(151)과 인접한 상기 제2 게이트 패턴(205b) 상부면의 소정영역 상에 위치한다.

<50> 상기 예비 버티콘택홀(213)에 노출된 상기 식각저지막(211), 상기 식각보호막(209), 상기 버퍼절연막(208) 및 상기 제2 하드마스크막(204b)을 이방성 식각으로 연속적으로 식각하여 상기 제1 고농도 불순물확산층(207b) 및 상기 제2 게이트 전극(203b)의 일부분을 노출시키는 버티콘택홀(213)을 형성한다. 이때, 상기 제1 게이트 패턴(205a) 측벽에 형성된 막들(208, 209, 211)은 콘포말한 상태이다. 그 결과, 상기 제1 저농도 불순물확산층(207a) 상에 위치한 상기 막들(208, 209, 211)의 수직 두께는 상기 제2 게이트 전극(203b) 상에 위치한 막들(204b, 208, 209, 211)의 두께에 비하여 크다.

<51> 이로 인하여, 상기 버팅콘택홀(213a) 형성을 위한 식각공정시, 과도식각을 할지라도, 상기 제1 저농도 불순물확산층(207a)은 보호될 수 있다. 결과적으로, 종래의 저농도 불순물확산층이 노출되어 발생하던 누설전류 특성의 열화를 최소화할 수 있다.

<52> 상기 버팅콘택홀(213a) 내부를 채우는 도전막 패턴(214)을 형성한다.

【발명의 효과】

<53> 상술한 바와 같이, 본 발명에 따르면, 고농도 불순물확산층을 형성한 후, 스페이서를 제거하고, 적어도 스페이서의 하부면 폭을 두께로 갖는 식각저지막을 형성한다. 이로 인하여, 게이트 패턴들 사이의 갭영역 바닥 폭이 종래에 비하여 넓게 형성된다. 그 결과, 종래의 게이트 패턴들 사이의 갭영역 내에 발생하던 보이드를 최소화할 수 있다.

<54> 또한, 저농도 불순물확산층 상에 식각저지막이 콘포말하게 형성됨으로써, 종래의 스페이서가 식각되어 상기 저농도 불순물확산층이 노출되는 현상을 억제할 수 있다. 이로 인하여, 종래의 노출된 저농도 불순물확산층으로 야기되는 누설전류 특성의 열화를 최소화할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 양측의 상기 반도체기판에 저농도 불순물확산층을 형성하는 단계;

상기 게이트 패턴 측벽에 스페이서를 형성하는 단계;

상기 게이트 패턴 및 상기 스페이서를 마스크로 사용하여 불순물이온들을 주입하여 상기 반도체기판에 고농도 불순물확산층을 형성하는 단계;

상기 스페이서를 식각하여 제거하는 단계; 및

상기 게이트 패턴을 포함한 반도체기판 전면에 콘포말한 식각저지막을 형성하는 단계를 포함하되, 상기 식각저지막의 두께는 적어도 상기 스페이서 하부면의 폭으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 스페이서를 형성하기 전에;

상기 게이트 패턴을 포함한 반도체기판 전면에 콘포말한 식각보호막을 형성하는 단계를 더 포함하되, 상기 식각보호막은 상기 스페이서에 대하여 식각선택비를 갖는 절연막으로 형성하고, 상기 스페이서는 상기 게이트 패턴 측벽에 대향하여 상기 식각보호막 상에 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 3】

제 2 항에 있어서,

상기 식각보호막을 형성하기 전에,

상기 게이트 패턴을 포함한 반도체기판 전면에 버퍼절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 4】

제 2 항에 있어서,

상기 스페이서는 실리콘산화막으로 형성하고, 상기 식각보호막은 실리콘질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 고농도 불순물확산층은 상기 저농도 불순물확산층에 비하여 높은 농도를 갖도록 형성하되, 상기 저농도 및 고농도 불순물확산층은 엘디디구조로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 식각저지막의 두께는 상기 스페이서 하부면의 폭과 동일하게 형성하는 것을 특징으로 하는 반도체소자의 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 식각저지막을 형성한 후에,

상기 식각저지막 상에 층간절연막을 형성하는 단계;

상기 층간절연막 및 상기 식각저지막을 연속적으로 패터닝하여 적어도 상기 고농도 불순물확산층을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 채우는 도전막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 8】

제 7 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 9】

제 8 항에 있어서,

상기 층간절연막은 실리콘산화막으로 형성하고, 상기 식각저지막은 실리콘질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 10】

제 7 항에 있어서,

상기 콘택홀을 형성하는 단계는,

상기 층간절연막을 패터닝하여 적어도 상기 고농도 불순물확산층 상의 상기 식각저지막을 노출시키는 단계; 및

상기 노출된 식각저지막을 이방성식각으로 식각하여 적어도 상기 고농도 불순물확산층을 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 11】

제 10 항에 있어서,

상기 콘택홀은 상기 게이트 패턴에 포함된 상기 게이트 전극의 일부분을 더 노출시키는 것을 특징으로 반도체 소자의 형성방법.

【청구항 12】

반도체기판에 소자분리막을 형성하여 제1 및 제2 활성영역들을 한정하는 단계;

상기 제1 활성영역 상에 적층된 제1 게이트 절연막, 제1 게이트 전극 및 제1 하드마스크막으로 구성된 제1 게이트 패턴을 형성하고, 상기 제2 활성영역 상에 적층된 제2 게이트 절연막, 제2 게이트 전극 및 제2 하드마스크막으로 구성된 제2 게이트 패턴을 형성하는 단계;

상기 제1 게이트 패턴 양측의 상기 제1 활성영역에 저농도 불순물확산층을 형성하는 단계;

상기 제1 및 제2 게이트 패턴들 측벽에 스페이서를 형성하는 단계;

상기 제1 게이트 패턴 및 상기 제1 게이트 패턴 측벽의 스페이서를 마스크로 사용하여 상기 제1 활성영역에 고농도 불순물확산층을 형성하는 단계;

상기 스페이서를 식각하여 제거하는 단계; 및

상기 제1 및 제2 게이트 패턴들을 포함한 반도체기판 전면에 콘포말한 식각저지막을 형성하는 단계를 포함하되, 상기 제2 게이트 패턴은 상기 소자분리막 상을 가로질러 상기 제1 활성영역에 인접하도록 형성하고, 상기 식각저지막의 두께는 적어도 상기 스페이서 하부면의 폭으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 13】

제 12 항에 있어서,

상기 스페이서를 형성하기 전에,

상기 제1 및 제2 게이트 패턴들을 포함한 반도체기판 전면에 콘포말한 식각보호막을 형성하는 단계를 더 포함하되, 상기 식각보호막은 상기 스페이서에 대하여 식각선택비를 갖는 절연막으로 형성하고, 상기 스페이서는 상기 제1 및 제2 게이트 패턴들 측벽에 대향하여 상기 식각보호막 상에 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 14】

제 13 항에 있어서,

상기 식각보호막을 형성하기 전에,

상기 제1 및 제2 게이트 패턴들을 포함한 반도체기판 전면에 버퍼절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 15】

제 13 항에 있어서,

상기 스페이서는 실리콘산화막으로 형성하고, 상기 식각보호막은 실리콘질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 16】

제 12 항에 있어서,

상기 고농도 불순물확산층은 상기 저농도 불순물확산층에 비하여 높은 농도를 갖도록 형성하되, 상기 저농도 및 고농도 불순물확산층은 엘디디구조로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 17】

제 12 항에 있어서,

상기 식각저지막의 두께는 상기 스페이서 하부면의 폭과 동일하게 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 18】

제 12 항에 있어서,

상기 식각저지막을 형성한 후에,

상기 식각저지막 상에 층간절연막을 형성하는 단계;

상기 층간절연막 및 상기 식각저지막을 연속적으로 패터닝하여 상기 고농도 불순물확산층 및 상기 제2 게이트 전극의 일부분을 동시에 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀을 채우는 도전막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 형성방법.

【청구항 19】

제 18 항에 있어서,

상기 식각저지막은 상기 층간절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 20】

제 19 항에 있어서,

상기 층간절연막은 실리콘산화막으로 형성하고, 상기 식각저지막은 실리콘질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 21】

제 18 항에 있어서,

상기 콘택홀을 형성하는 단계는,

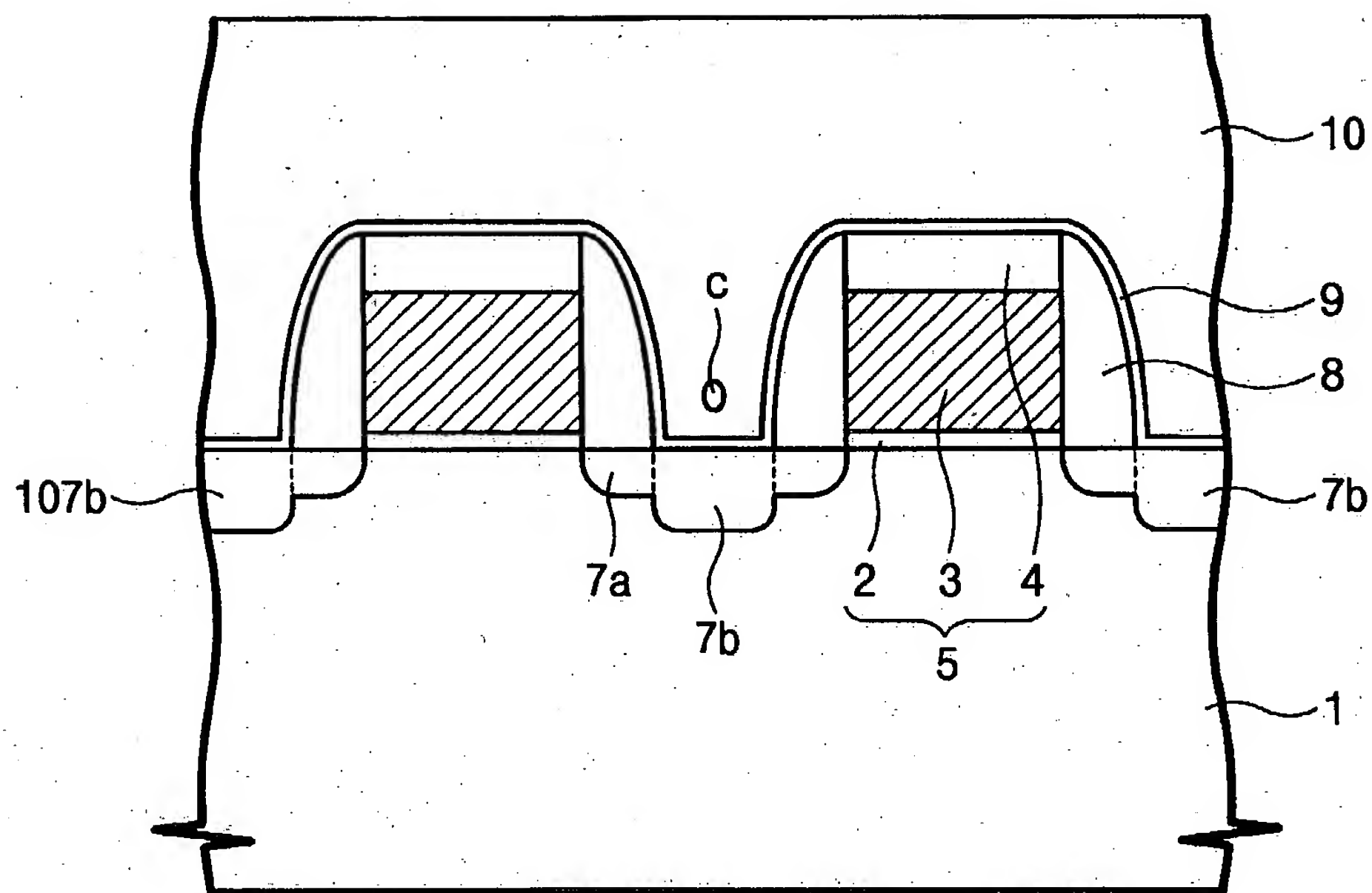
상기 층간절연막을 패터닝하여 상기 고농도 불순물확산층, 상기 저농도 불순물확산층 및 상기 제2 게이트 패턴 상부면의 소정영역 상에 위치한 식각저지막을 노출시키는 단계;

상기 노출된 식각저지막 및 상기 제2 하드마스크막을 이방성식각으로 연속적으로 식각하여 상기 고농도 불순물확산층 및 상기 제2 게이트 전극의 일부분을 동시에 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【도면】

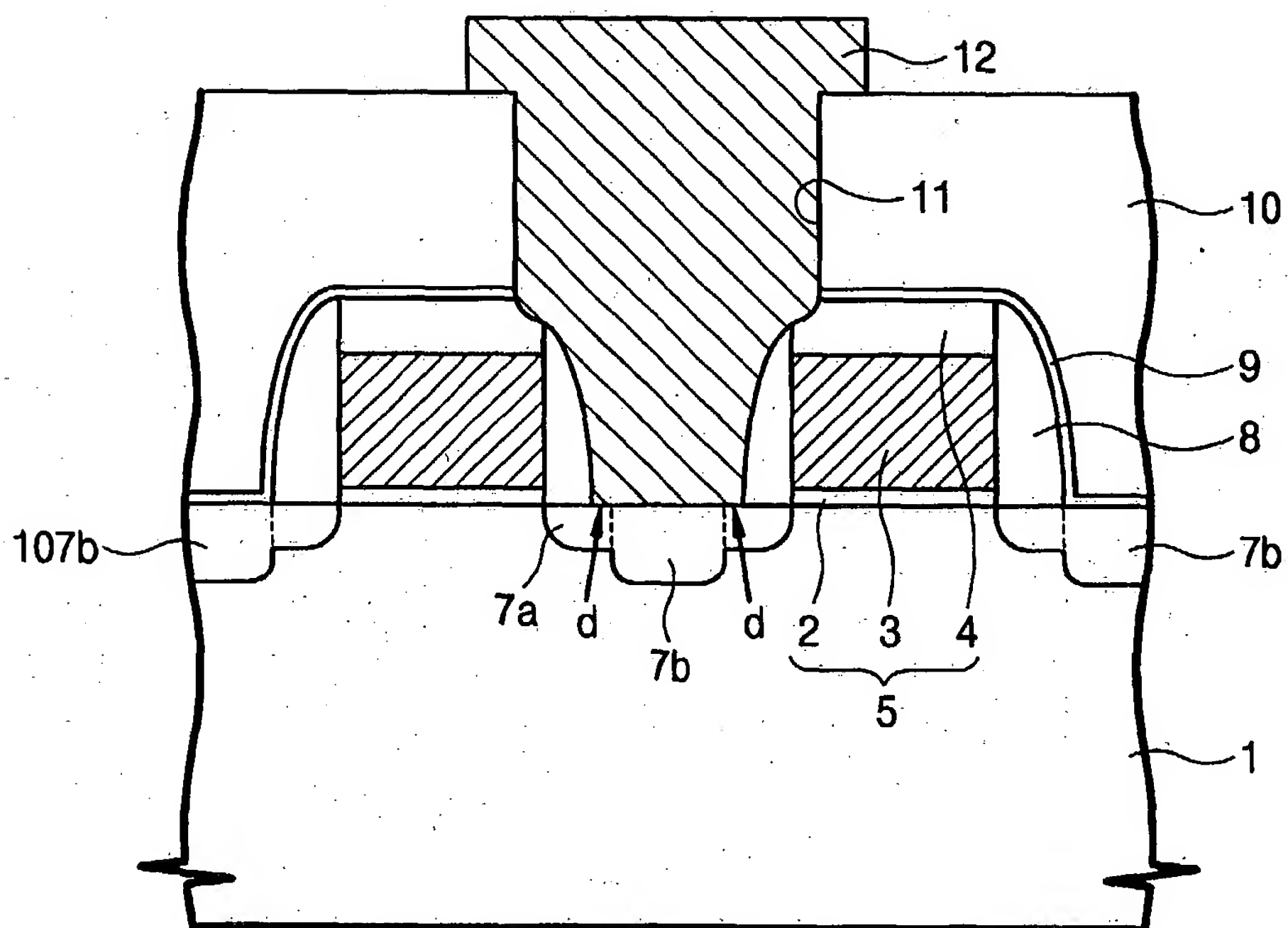
【도 1】

(종래 기술)

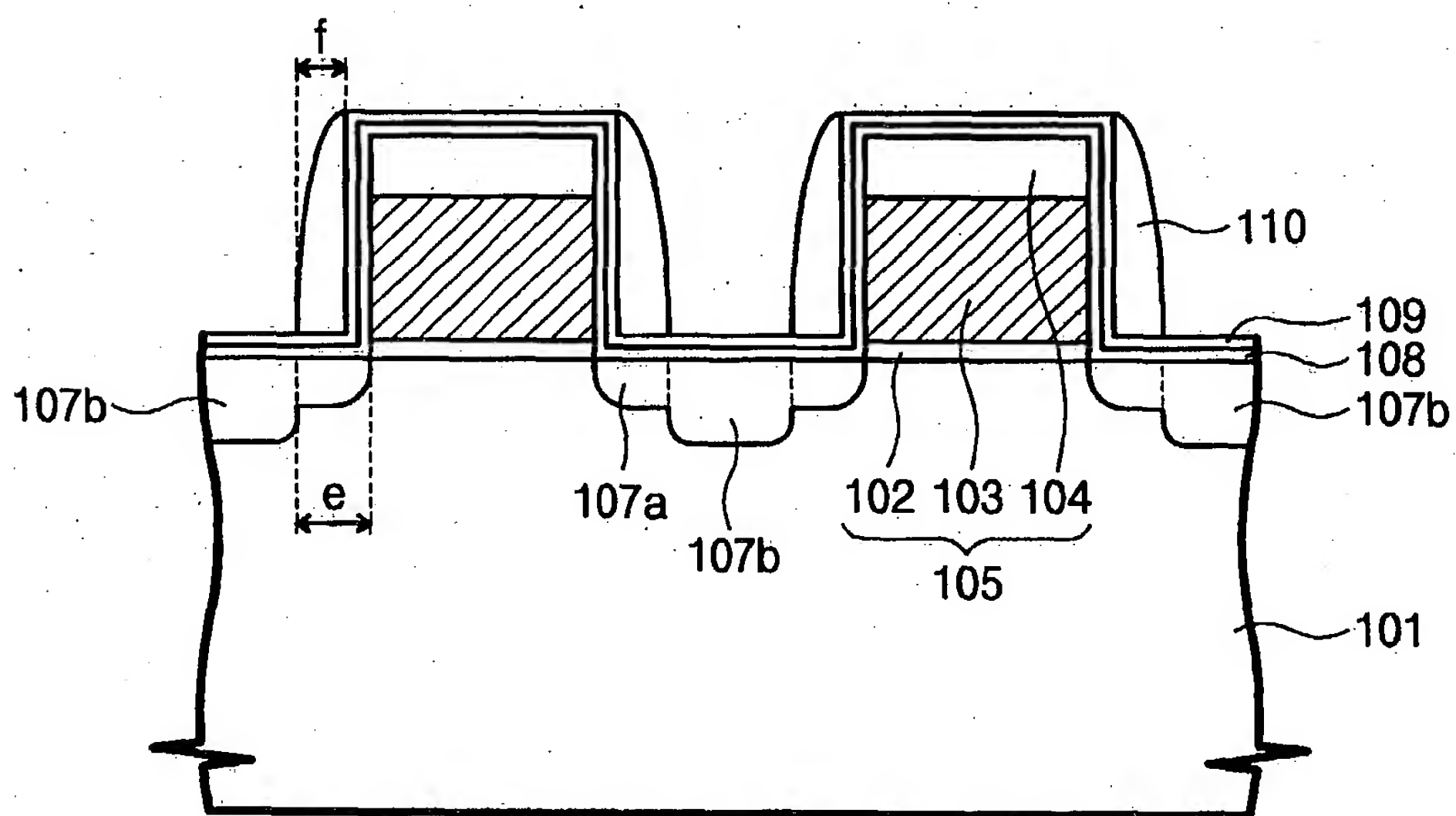


【도 2】

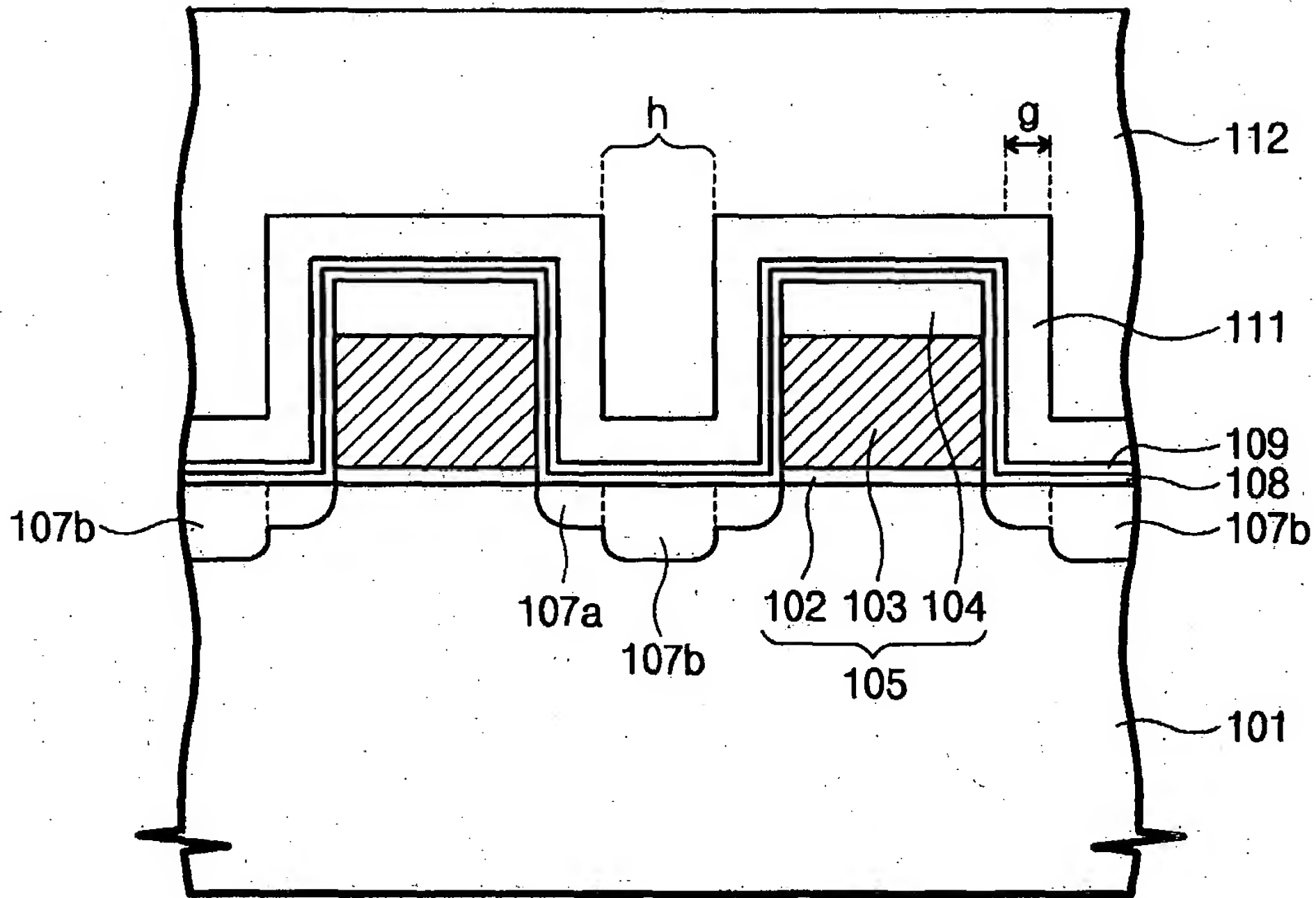
(종래 기술)



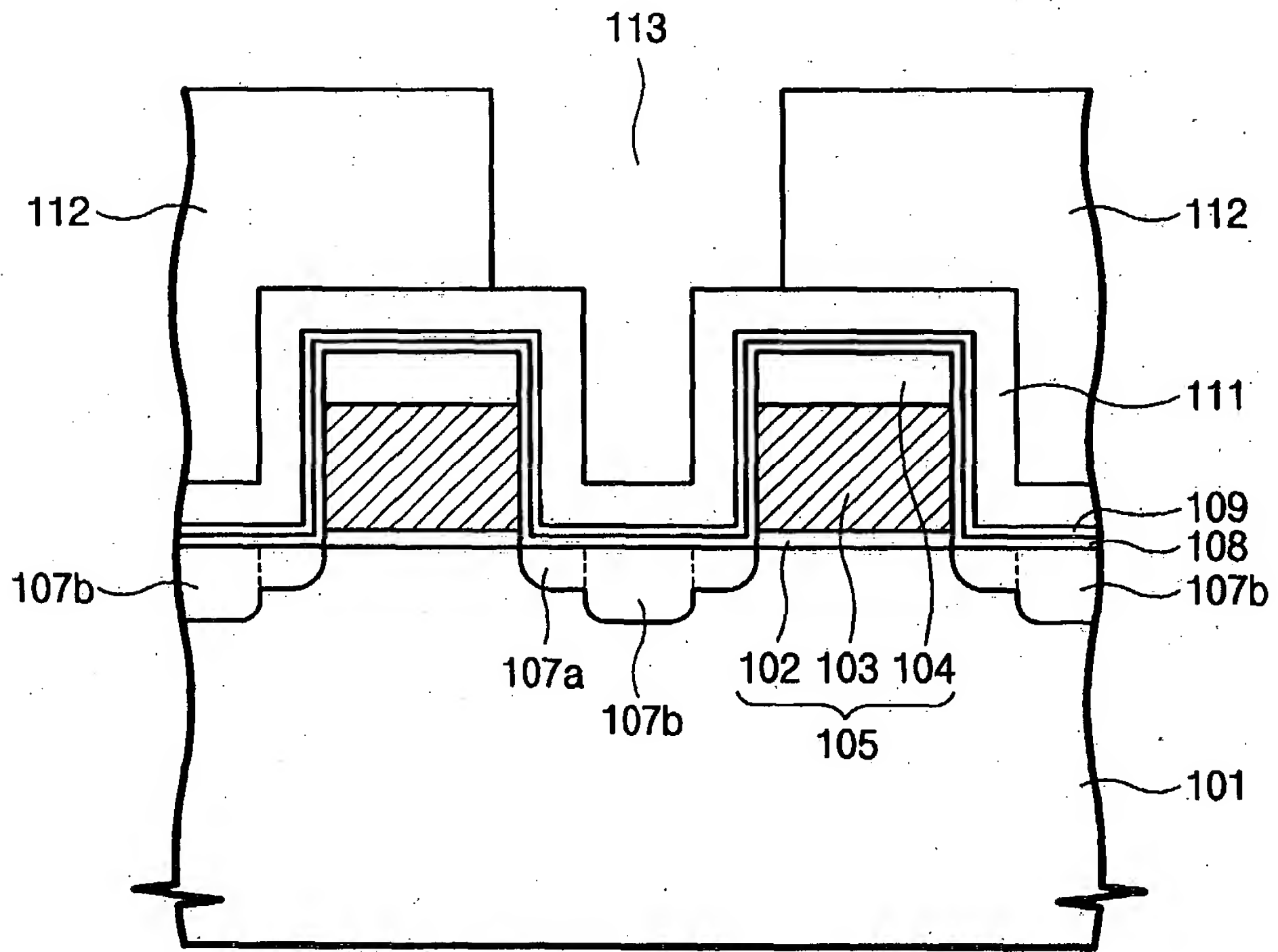
【도 3】



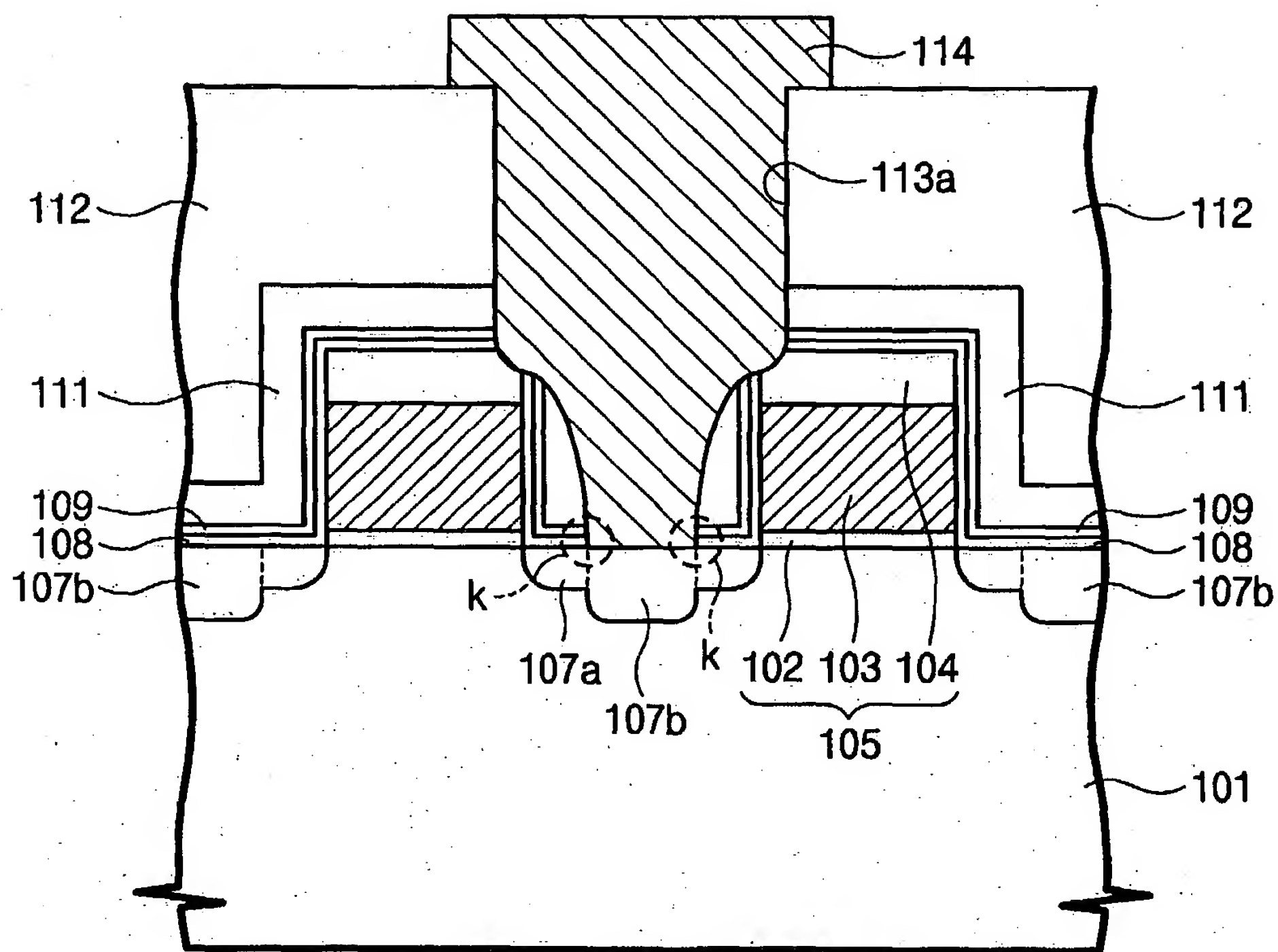
【도 4】



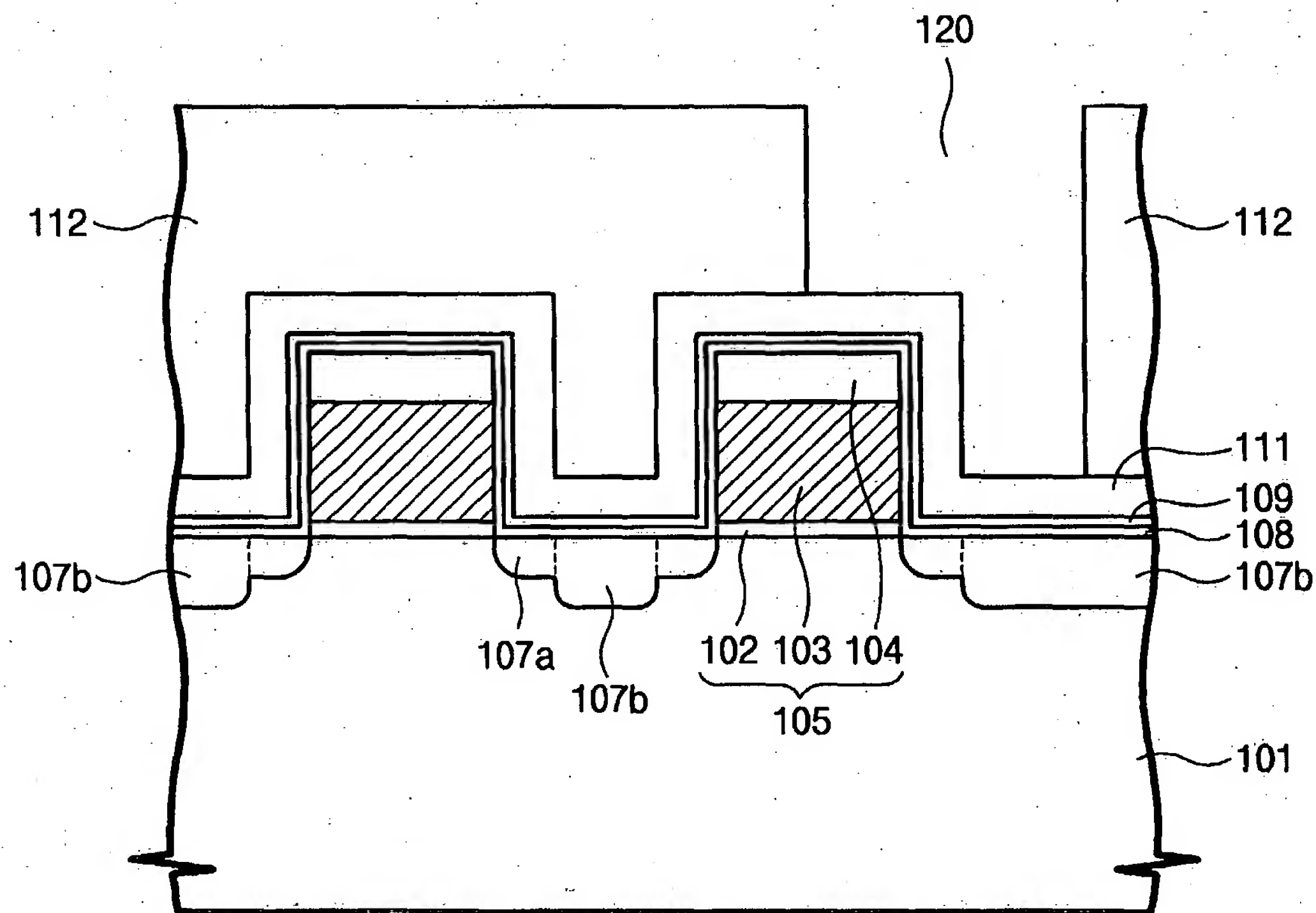
【도 5】



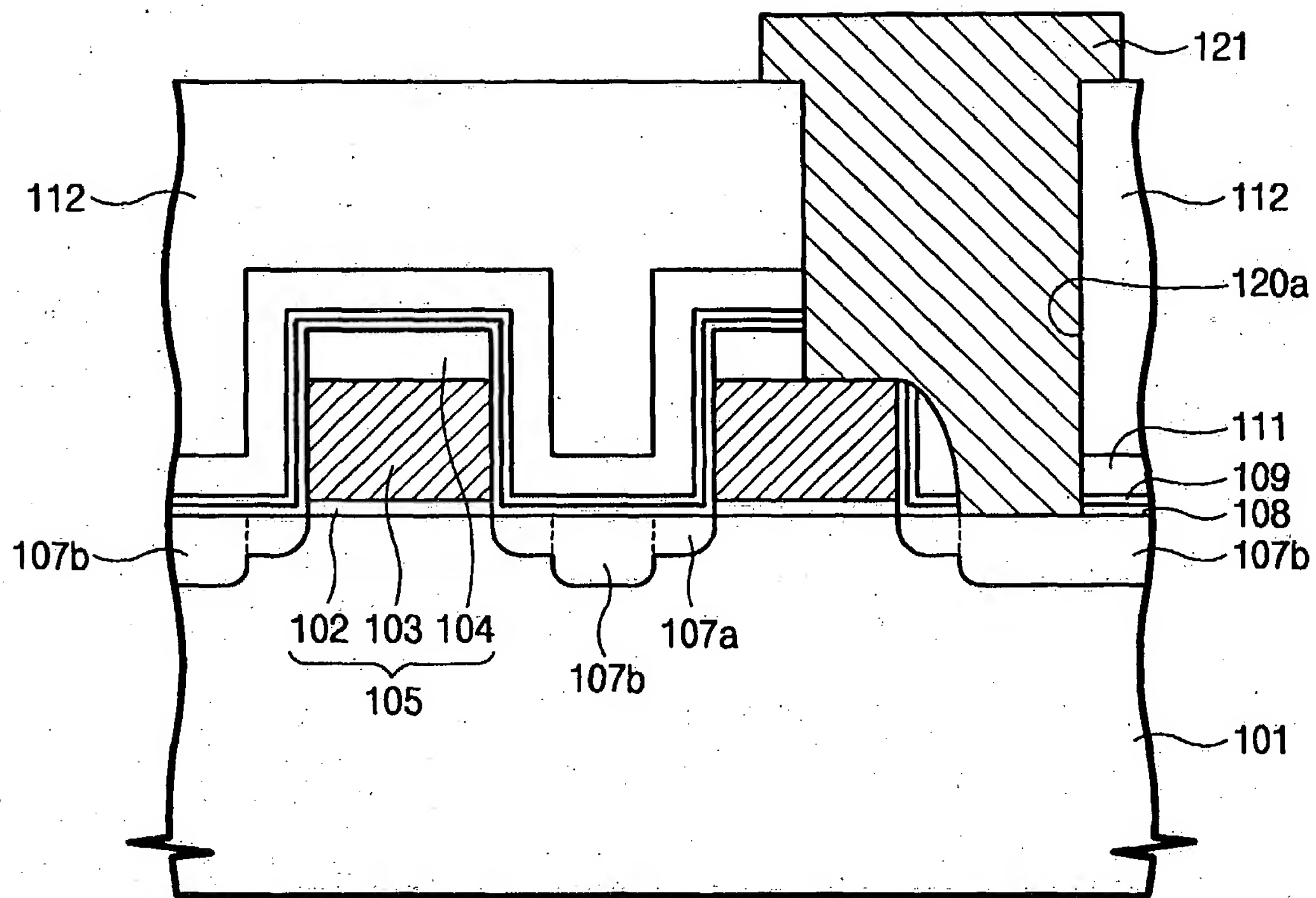
【도 6】



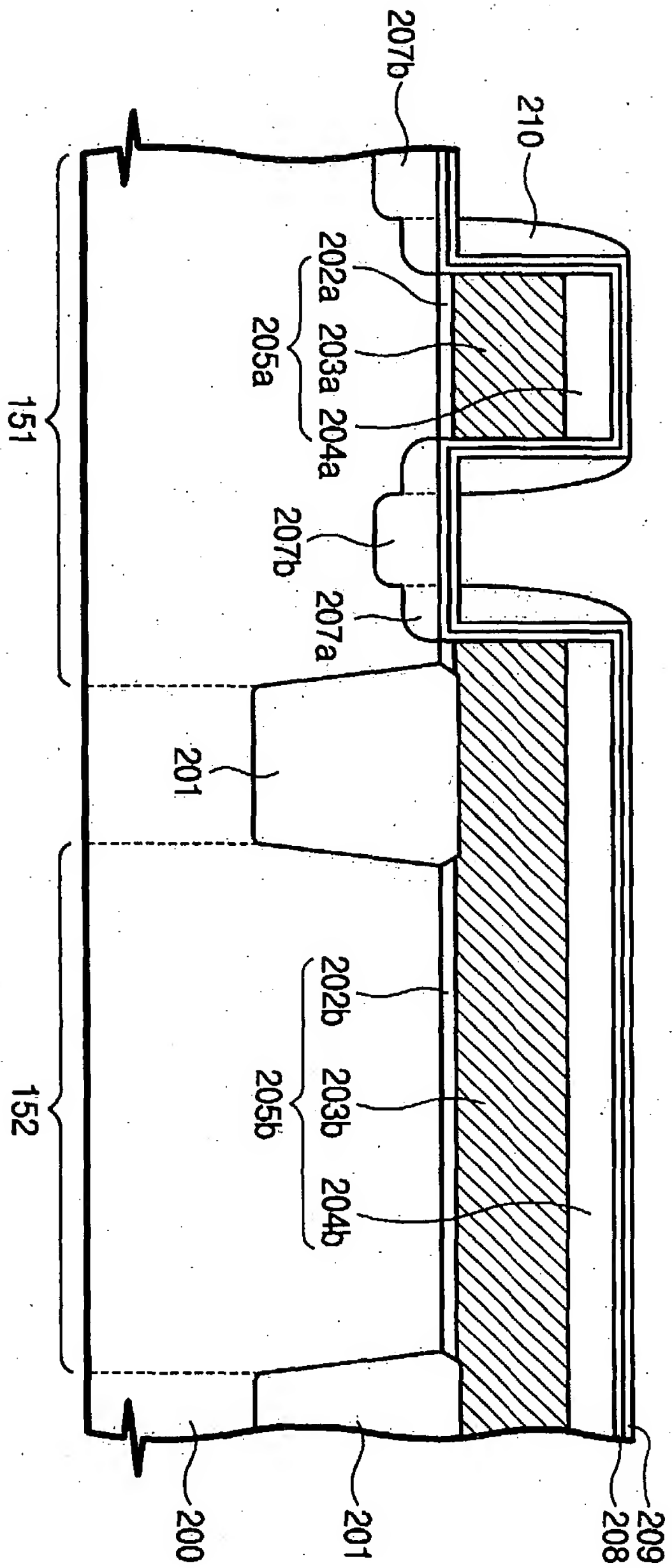
【도 7】



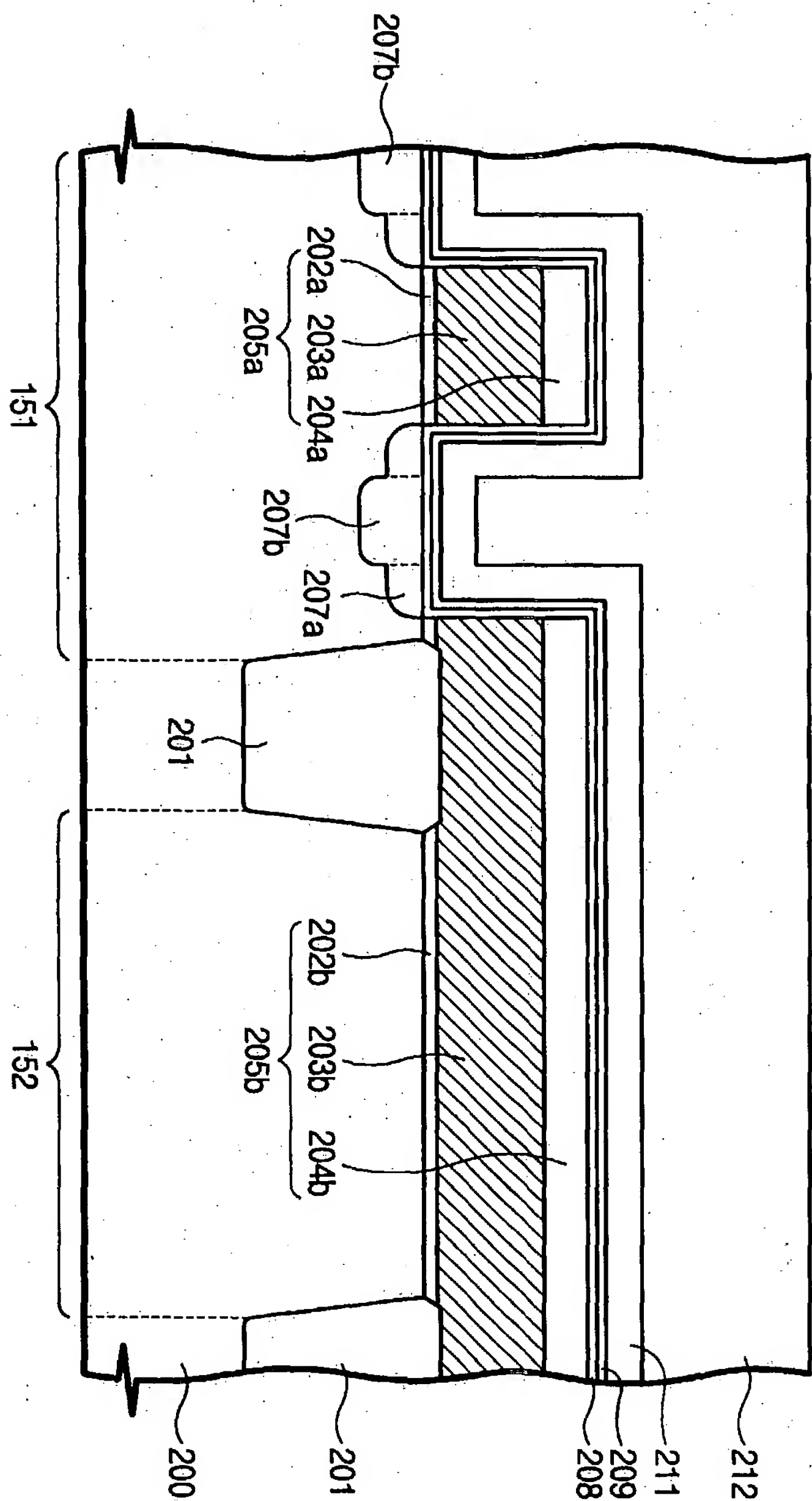
【도 8】



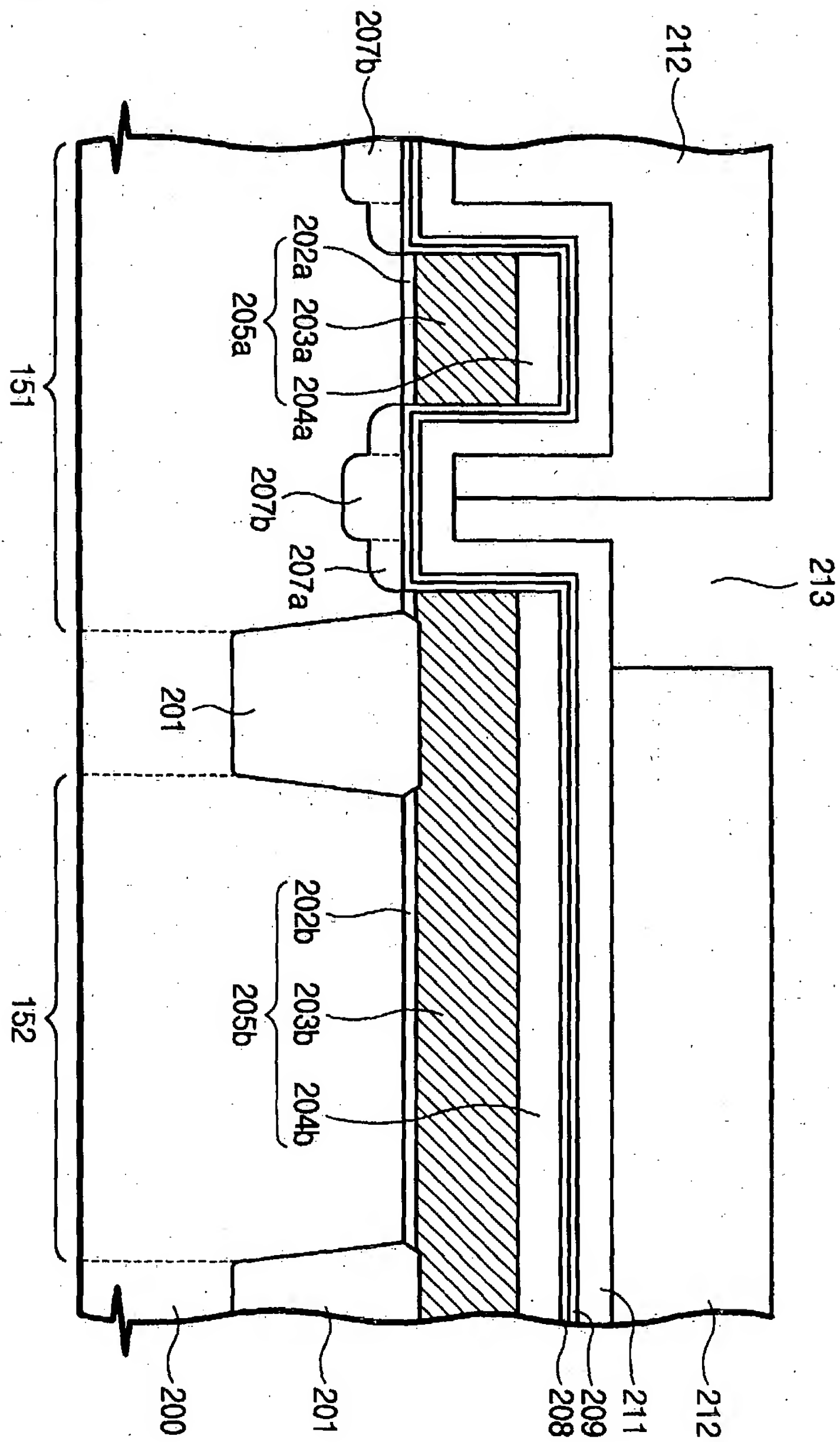
【도 9】



【도 10】



【도 11】



【도 12】

